

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-215037

(43)Date of publication of application : 07.09.1988

(51)Int.Cl.

H01L 21/205  
H01L 21/302  
H01L 29/78

(21)Application number : 62-047827

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 04.03.1987

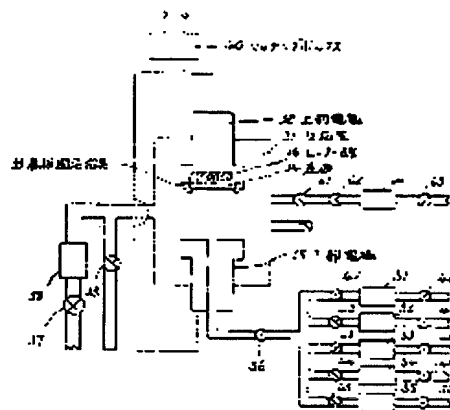
(72)Inventor : MATSUMURA KUNIO

## (54) MANUFACTURE OF SILICON THIN FILM

(57)Abstract:

**PURPOSE:** To obtain a silicon thin film with excellent characteristics, by a method wherein a silicon thin film is formed on a substrate after a nitrogen trifluoride plasma treatment and a hydrogen plasma treatment are sequentially performed in a reaction chamber.

**CONSTITUTION:** Nitrogen trifluoride gas is introduced into a reaction chamber 31 by opening valves 61, 62 and 63. A high frequency power source is connected between an upper electrode 32 and a lower electrode 39, and a glow discharge is generated. Then, the nitrogen trifluoride is decomposed, and active F radical is produced. An a-Si:H film attaching on the inner wall of the reaction chamber 31, the upper electrode 32 and the lower electrode 39 is subjected to an etching by the F radical. In order to eliminate the effect of product, a discharge is applied for 60 min under the following condition; H<sub>2</sub> flow rate 100sccm, inside pressure of the reaction chamber 31 0.5Torr, and high frequency power 100W. Thus a hydrogen plasma treatment is performed. Then an a-Si:H film is deposited on a substrate. Thereby the a-Si:H film with excellent characteristics is obtained.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-215037

⑬ Int. Cl.<sup>4</sup>

H 01 L 21/205  
21/302  
29/78

識別記号

3 1 1

庁内整理番号

7739-5F  
N-8223-5F  
F-8422-5F

⑭ 公開 昭和63年(1988)9月7日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 ケイ素系薄膜の製造方法

⑯ 特 願 昭62-47827

⑰ 出 願 昭62(1987)3月4日

⑱ 発 明 者 松 村 邦 夫 神奈川県横浜市磯子区新杉田町8 株式会社東芝横浜金属工場内

⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑳ 代 理 人 弁理士 則近 憲佑 外1名

明 細 書

1. 発明の名称

ケイ素系薄膜の製造方法

2. 特許請求の範囲

(1) 反応室内で三フッ化窒素プラズマ処理と水素プラズマ処理を順次施した後、基板上にケイ素系薄膜を形成することを特徴とするケイ素系薄膜の製造方法。

(2) 前記水素プラズマ処理の後、前記ケイ素系薄膜を形成する前に前記反応室内を前記ケイ素系薄膜でオーバーコートすることを特徴とする特許請求の範囲第1項記載のケイ素系薄膜の製造方法。

(3) 前記水素プラズマ処理の後、前記ケイ素系薄膜をオーバーコートする前に不活性ガス或いは窒素によるプラズマ処理を施すことを特徴とする特許請求の範囲第2項記載のケイ素系薄膜の製造方法。

(4) 前記ケイ素系薄膜の形成はグロー放電分解法或いはスパッタリング法により行うことを特徴とする特許請求の範囲第1項記載のケイ素系薄膜の

製造方法。

(5) 前記ケイ素系薄膜は水素化非晶質シリコンであることを特徴とする特許請求の範囲第1項記載のケイ素系薄膜の製造方法。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

この発明は、例えば薄膜トランジスタ(以下、TFTと称す)として用いられるケイ素系薄膜の製造方法に関する。

(従来の技術)

最近、グロー放電分解法(Glow Discharge Decomposition, 以下、GD法と称す)により形成されたケイ素系薄膜が注目を集めているが、これは低温で形成でき且つ良質な特性のものが得られ、しかも従来のシリコンプロセスに適用できるからである。このような性質を有することにより、GD法によるケイ素系薄膜は、例えば特公昭61-49674号公報に記載されているようにTFT等に応用されている。

第4図はGD法により薄膜を形成する装置の一例を示す図である。同図において、反応室(1)内の上部電極(2)に基板固定治具(3)を用いて、基板(4)を固定した後、バルブ(5)を開け反応室(1)内の圧力が $5.0 \times 10^{-6}$  Torr以下になるまで真空排気する。上部電極(2)にはヒーター線(6)が埋め込んでなり、基板(4)が適当な温度に設定できるようになっている。次にバルブ(5)を閉じ、バルブ(7)を開けた状態で設定し、所望のガスバルブ(11)～(15)、(16)～(20)及びバルブ(26)を開け、マスフローコントローラー(21)～(25)で流量を調節して所望のガスを反応室(1)内に導入する。ここで反応室(1)内の圧力は、原料ガスを導入した状態で自動圧力調整器(8)によって所望の圧力に設定する。そしてこの状態で、上部電極(2)と下部電極(9)の間にマッチングボックス(10)を通して、DC或いはAC電源により電圧を印加して、原料ガスをグロー放電分解し基板(4)上に膜を堆積させる。このようにして膜を堆積した場

合、基板(4)上のみならず上部電極(2)、下部電極(9)及び反応室(1)内壁の至るところに膜堆積が起こる。基板(4)上以外の部分に堆積した膜は、膜厚が数 $\mu$ m以上になると膜はがれを起こし、基板(4)上に堆積される膜中に取り込まれたり、基板(4)表面に付着しこの基板(4)を構成要素とするデバイスの欠陥となりデバイス特性を悪化する。また、はがれ落ちた膜はバルブ等に付着し、装置の真空度に異常を引き起こす原因となる。そこで不必要な部分に堆積された膜の除去を行わなければならない。

(発明が解決しようとする問題点)

ところで、現在試みられている膜除去法には、次のような2つの方法がある。その1つは、サンドペーパー等によりこみ発生源となる不必要な部分の膜を機械的研磨によりとりさる方法である。この方法によれば、不必要な部分の膜をすべて取り除くことができず、狭い部分はクリーニングできないままになってしまう。またクリーニングに非常に時間がかかり、装置の稼働率が低下してし

まうという欠点を有している。更に膜特性面からみた場合、最近インライン方式のGD装置が注目されているにもかかわらず、クリーニングのために反応室を大気にさらさなければならず、インライン方式の効果が得られる。

もう1つの方法は、フッ素系ガスによるプラズマクリーニングである。この方法の例としては、 $CF_4$ ガス等の炭化フッ素系ガスや $SF_6$ ガス、また最近では $NF_3$ ガスを使用する場合等が検討されている。これらのいずれのガスを使用した場合にも、反応室内がクリーニングされることは既に確認されている。

しかしながら、この方法は次のような問題点を有している。即ち、炭化フッ素系ガスを使用した場合には、炭素やフッ素による汚染があり、 $SF_6$ ガスを使用した場合には、硫黄やフッ素による汚染がある。このような炭素や硫黄による汚染がなく、反応室内をクリーニングするガスとして前述の $NF_3$ ガスが注目を集め、盛んに検討されているが、これにしてもフッ素による汚染は免がれ得

ない。

この発明は、ケイ素系薄膜を形成する際に発生する不具合を解決するためになされたもので、ケイ素系薄膜の特性を確保した上で、この薄膜を効率よく形成する製造方法を提供することを目的としている。

〔発明の構成〕

(問題点を解決するための手段)

この発明は、 $NF_3$ ガスを用いたプラズマクリーニングにより反応室内クリーニングを行い、続いて水素ガスのプラズマ処理を施した後、ケイ素系ガスを使用し例えばGD法でケイ素系薄膜例えば水素化非晶質シリコン(以下、 $a-Si:H$ と称す)を形成する。

(作用)

この発明は基本的には、① $NF_3$ ガスによるプラズマクリーニング、② $H_2$ プラズマ処理、③ケイ素系薄膜成膜という手順をたどる。まず①の処理により、活性なFラジカルが生成され、このFラジカルが反応室内部に付着している不要なケイ

素系薄膜をエッチングする。そして①の処理の後、反応室内部にエッチング過程での生成物であるHF、F等が付着するが、②の処理で生成される水素ラジカルにより、このエッチング生成物を取り除くことができる。この結果、③の過程で成膜効率が向上するとともに、特性良好なケイ素系薄膜を形成することができる。

(実施例)

以下、この発明の詳細をケイ素系薄膜がa-Si:Hである場合を例に挙げ、図面を参照して説明する。

第1図はこの発明の一実施例の流れを示すフローチャート、第2図はこの実施例に用いる製造装置の概略図である。以後、主に第1図と第2図を用い、この実施例を製造工程に従って説明する。まず、第2図における反応室(31)内の上部電極(32)に、基板固定治具(33)を用いて基板(34)を固定した後、バルブ(35)を開け反応室(31)内の圧力が $5.0 \times 10^{-4}$  Torr以下になるまで真空排気する。次にバルブ(35)を閉じ、バルブ(37)

を開けた状態でバルブ(61)、(62)、(63)を開け、マスフローコントローラ(64)で流量100 sccmに調整して、三フッ化窒素(NF<sub>3</sub>)ガスを反応室(31)内に導入する。ここで反応室(31)内の圧力は、自動圧力調整器(38)により0.1 Torrに調圧した。この状態で上部電極(32)と下部電極(39)との間に、マッチングボックス(40)を介して13.56 MHzの高周波電源を接続し、高周波パワー100Wを印加してグロー放電を起こさせる。このグロー放電によりNF<sub>3</sub>ガスが分解され、活性なFラジカルが生成される。このFラジカルは反応室(31)内壁、上部電極(32)及び下部電極(39)等に付着しているa-Si:H膜をエッチングする。このことにより、反応室(31)内部はクリーニングされ清浄になる。しかしこの状態では、反応室(31)の内壁、上部電極(32)及び下部電極(39)等にエッチング過程での生成物例えばHF、F等の付着があり、良好な特性を有するa-Si:H膜は得られない。

第3図は形成したa-Si:H膜の積層膜厚と

電導率との関係を示す図であり、これを用いa-Si:Hのフッ素系物質の汚染について説明する。同図において参照データは、反応室(31)内が全く汚染のない状態でのa-Si:Hの暗電導率( $\sigma_d$ )と光電導率( $\sigma_{ph}$ )を示しており、これに近い値を有するa-Si:Hほど特性が良好である。また同図中の(A)点と(A')点は、フッ素系ガスによるクリーニングを行った後の暗電導率( $\sigma_d$ )と光電導率( $\sigma_{ph}$ )を示しており、これよりa-Si:H膜はフッ素系物質等に汚染されていることがわかる。

そこで、これらの生成物の影響を取りのぞくため、水素プラズマ処理を行なった。この実施例での条件は、H<sub>2</sub>流量100 sccm、反応室(31)内圧力0.5 Torr、高周波パワー100Wで60分間の放電を行なった。水素プラズマ処理においては、エッチング生成物を取りのぞくことはできたが、活性な水素ラジカルにさらされている反応室(31)の内壁より反応室(31)の成分が遊離し、反応室

(31)の内壁に付着している現象がみられた。

次にa-Si:H膜のコーティングを行う。その条件は、バルブ(41)、(42)、(46)、(47)及びバルブ(58)を開け、マスフローコントローラ(51)、(52)で流量調節をしシラン(SiH<sub>4</sub>)30 sccm、水素270 sccmとし、更に自動圧力調整器(38)により反応室(31)内の圧力を0.5 Torrとした。ここでは60分間グロー放電を行い、膜厚を約3000 Åとした。そしてこの試料の電導度を測定したところ、第3図の(B1)点と(B'1)点に示すように、(A)点や(A')点に比べ特性が良好になった。しかしながら、水素プラズマ処理後、直ちに形成したa-Si:Hはまだ十分に良好な特性を有していない結果、反応室(31)の成分が遊離して反応室(31)内に付着しており、これがa-Si:H膜成膜時に膜中に取り込まれていることがわかった。このため、第1図に示したフローチャートにあるように、a-Si:H成膜(オーバーコート)という工程を入れた。

次に、基板(34)を新しい清浄なガラスに交換し、バルブ(35)を開け反応室(31)内の圧力が $5.0 \times 10^{-8}$  Torr以下になるまで真空排気を行い、続いてバルブ(35)を閉、バルブ(37)を開にして排気系を圧力調整器(38)の系に切りかえる。そしてバルブ(41)、(42)、(46)、(47)及び(56)を開にしてマスフローコントローラ(51)、(52)を調整し、シラン30sccm、水素270sccmを流す。また圧力調整器(38)の調整により、反応室(31)の圧力0.5Torrに設定する。そして高周波電源を入れ、グロー放電分解を60分間行い、基板(34)上にa-Si:H膜を堆積した。このa-Si:H膜の暗電導率( $\sigma_d$ )と光電導率( $\sigma_{ph}$ )を第3図の(B2)点と(B'2)点に示した。周囲から明らかなように、(B1)点や(B'1)点より暗電導率と光電導率がともに小さくなり、良好なa-Si:H膜が得られていることがわかる。同様の方法で更にa-Si:H膜を形成し、暗電導率と光電導率の測定結果を示したのが第3図の(B3)点と(B'3)点である。

これらの値はほぼ(B2)点や(B'2)点と同一であり、同様に良好なa-Si:H膜が得られていることがわかる。なお、これは周囲に示した参照データとほぼ一致している。即ち、NF<sub>3</sub>ガスによるプラズマクリーニング、水素プラズマ処理及びa-Si:H膜オーバーコート後のa-Si:H膜は特性の良好なものが得られ、適用したデバイスの性能を向上させ、更にこの実施例を用いa-Si:H膜を成膜することで、成膜の効率向上が計れた。

なお、今まではa-Si:H膜の製造方法としてGD法を用いたが、スパッタリング法を用いた場合にも同様であることは言うまでもない。またケイ素系薄膜としては、a-Si:H以外に非晶質酸化シリコン、非晶質窒化シリコン及び非晶質シリコンゲルマニウム等であってもよい。そして、水素プラズマ処理により反応室(31)の内壁に付着した反応生成物を取り除くためには、第1図における水素プラズマ処理とa-Si:Hのオーバーコートの間に不活性ガス成膜は窒素によるプラ

ズマ処理を施すという工程を入れると更に有効である。

#### [発明の効果]

この発明は、NF<sub>3</sub>プラズマ処理と水素プラズマ処理とを順次施した後、ケイ素系薄膜を形成してなるので、特性良好なケイ素系薄膜を製造でき、デバイス例えばTFTをスイッチング素子として用いたアクティブマトリックス型液晶表示装置に適用した場合には、デバイス欠陥の少ない特性良好なデバイスが効率よく得られる。

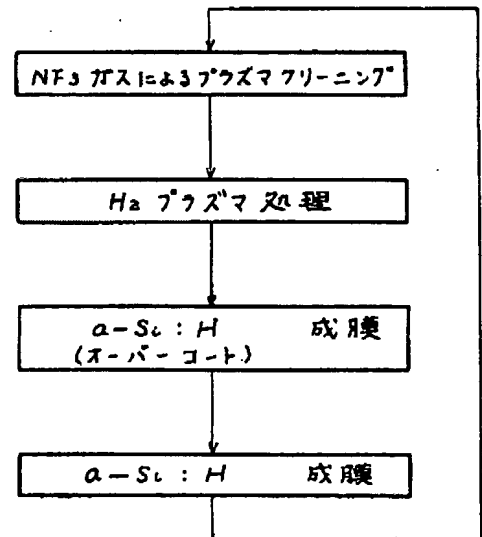
#### 4. 図面の簡単な説明

第1図はこの発明の一実施例の工程の流れを示す図、第2図はこの発明に用いる成膜装置の一例を示す図、第3図は形成したケイ素系薄膜の電導率を示す図、第4図は従来の成膜装置の一例を示す図である。

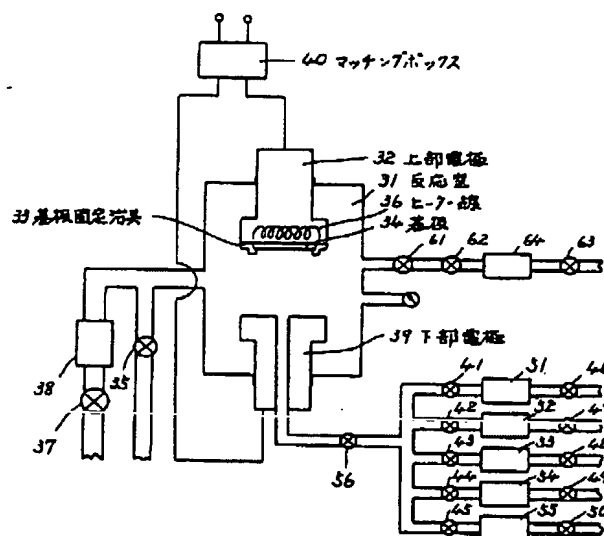
(31) ……反応室、

(34) ……基板。

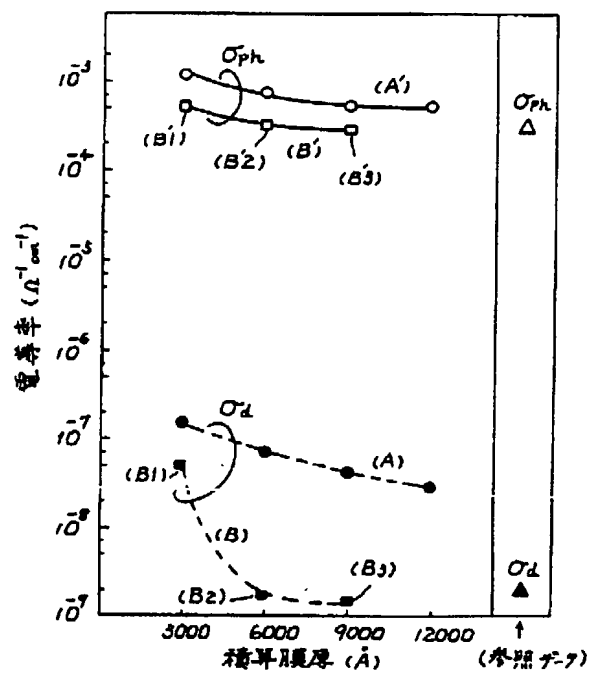
代理人 弁理士 則近 憲祐、  
同 大胡 典夫



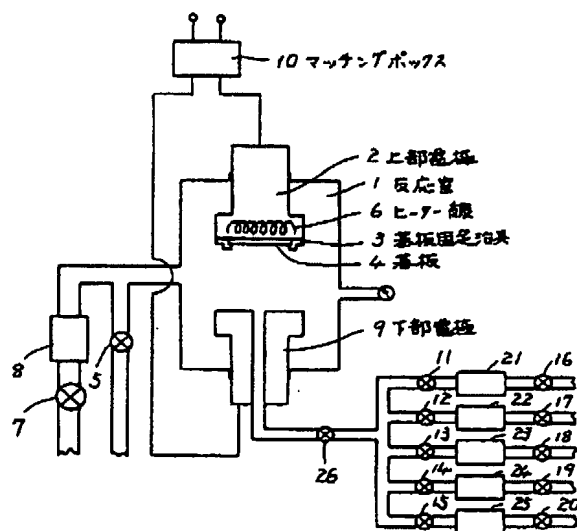
第 1 図



第 2 図



第 3 図



第 4 図